

# 高帧频大动态范围 CMOS 图像传感器时序控制电路的设计与实现

陈敏思, 姚素英, 赵毅强, 张生才, 李树荣, 徐江涛, 王天盛  
(天津大学电子信息工程学院 ASIC 设计中心, 天津 300072)

**摘要:** 本文主要论述了 CMOS 图像传感器时序控制电路的系统设计和实现方法. 针对双采样结构的图像传感器, 分析了常用的并行式曝光方式和滚筒式曝光方式两种时序控制方法及其具体实现过程, 并根据时序控制电路的功能仿真和在 FPGA 上的验证结果, 对二者进行了比较, 证明了这两种方法的可行性.

**关键词:** CMOS 图像传感器; 时序控制; 高帧频; 大动态范围

**中图分类号:** TN4      **文献标识码:** A      **文章编号:** 0372-2112 (2004) 112-1922-04

## Timing Control Methods for New CMOS Image Sensor with High Frame Rate and Wide Dynamic Range

CHEN Min2si, YAO Su2ying, ZHAO Y2qiang, ZHANG Sheng2cai, LI Shu2rong, XU Jiang2tao, WANG Tian2sheng  
(Tianjin University ASIC Design Center, Tianjin 300072, China)

**Abstract:** The system design and implementation methods of timing control circuit for a new CMOS image sensor are proposed. Using dual sampling pixel architecture, the CMOS image sensor can achieve both high frame rate and wide dynamic range. Two efficient timing control methods (one named / roll exposure mode, and the other / parallel exposure mode) are both proved right and feasible, by analyzing their theoretical operation principle and the results from function and timing simulation and FPGA verification.

**Key words:** CMOS; image sensor; timing control; high frame rate; wide dynamic range

### 1 引言

目前, 成像系统采用的 CCD 图像传感器技术一般有如下缺点: 驱动电路和信号处理电路难与 CCD 成像阵列单片集成; 像元间电荷转移要求严格准确, 时钟脉冲复杂; 需要相对高的工作电压; 不能与亚微米深亚微米的 VLSI 工艺兼容; 成品率低; 成本高; 蓝光响应差, 有光晕, 图像信息不能随机读取等. 随着 CMOS 集成电路工艺的日益成熟, 利用 CMOS 工艺, 把光电接收器和放大、读出、A/D 转换等电路集成进单个芯片越来越可行<sup>[1]</sup>.

本文所提出的时序控制模块是 CMOS 图像传感器的核心控制模块, 主要功能是提供对像素单元图像信息采集的控制信号、各级放大器的放大和复位信号、A/D 转换器的控制信号等. 应用于传感器的性能指标为: 1024\* 768 像素阵列, 帧频 200 帧/秒.

### 2 CMOS 图像传感器的总体结构

目前, CMOS 图像传感器获得大动态响应范围的常用方法是采用多次曝光技术, 利用每次曝光的时间不同, 对应不同的光强范围, 组合后得到一个大的动态响应范围. 但多于两次的曝光, 需要片上或片外存储器的支持, 会显著降低传感器的帧频. 本设计中, 像素单元采用两次曝光的双采样存储结构<sup>[2]</sup>, 长积分时间内获得弱光条件下的图像信息, 短积分时间

内获得强光条件下的图像信息, 将两次积分相继获得的图像信息存于同一像素中, 读出电路将图像组合后一次读出, 这样既可获得大的动态范围, 也保证了较高的帧频.

这种双采样结构分为两种: 一种是列共用处理电路的像素单元结构, 它的特点是每列共用两次曝光的存储节点. 另一种是具有像素级处理电路的像素单元结构, 它的特点是两次曝光的存储节点集成在一个像素单元内部.

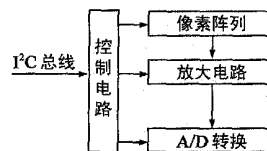


图 1 CMOS 图像传感器的系统结构

为了实现 CMOS 图像传感器的设计要求, 我们所采用的结构如图 1 所示<sup>[3]</sup>.

CMOS 图像传感器各个模块需要由时序控制电路产生的控制信号有:

(1) 像素单元部分

像素单元复位信号  $pr$ ; 长积分采样信号  $s1$ ; 短积分采样信号  $s2$ ; 行选择信号  $RowSel$ .

(2) 第一级放大部分

第一级放大器偏置补偿信号  $\phi_{pn}$ : 用来消除由列间的运算放大器的偏置电压失配引起的固定图像噪声. 第一级放大器复位信号  $rst$ ; 第一级放大器采样信号  $acc$ ; 第一级放大器放大信号  $read$ .

(3) 第二级放大部分

列选择信号 ColSel: 列选择器的输入端, 其值决定将哪一列的一级放大的结果输出给二级放大器;

第二级放大器的复位信号 crst2; 第二级放大器的放大信号 mux2.

(4) 可编程增益放大器(DPGA)

DPGA 的复位信号 reset3; DPGA 的放大信号 read3.

(5) AD 部分

输出数据有效信号 DataReady: 此信号有效时, 表示数据输出端口中的数据可用, 同时指示该数据是一行像素单元中的哪一个图像单元采集的图像信息.

在采集一帧图像时, 各个控制信号至少要满足如图 2 所示的时序关系:

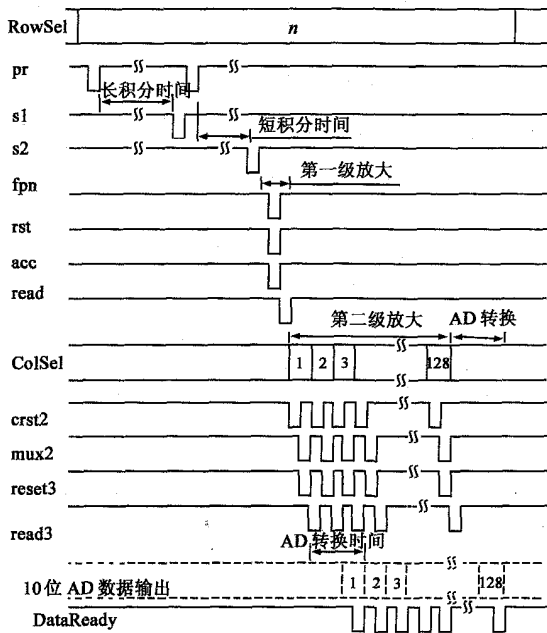


图 2 各个控制信号的时序关系

### 3 时序控制电路的两种设计方法

#### 3.1 滚筒式曝光的控制电路时序

滚筒式曝光控制电路时序的特点是逐行启动长积分, 并利用长积分时间逐行进行各行的短积分以及数据处理(放大和 AD 转换).

首先, RowSel 选通第 0 行, 我们假设一开始第 0 行的长积分已经完成, s1 有效, 第 0 行的像素单元将长积分采集到的图像信息存入 Cn1 中, 然后 pr 有效, 复位第 0 行的像素单元, 当 pr 变为无效时, 第 0 行的像素单元都开始进行短积分, 当短积分时间结束的时候, s2 有效, 将第 0 行短积分采集到的图像信息存入采样保持电容 Cn2 中. 随后, pr 有效, 复位第 0 行的像素单元, 当 pr 变为无效时, 第 0 行的像素单元就开始下一帧图像采集的长积分. 同时, 在完成第 0 行的一级放大后(此时, Cn1 和 Cn2 可以装入新的数据), ColSel 逐次选通各列进行第 0 行的二级放大及后续的 DPGA、A/D 转换和数据输

出. 在完成第 0 行的二级放大后, 第 1 行的长积分时间结束, RowSel 选通第 1 行, s1 有效, 第 1 行的像素单元将长积分采集到的图像信息存入 Cn1 中, 如此, 直至完成所有行的长积分启动, 数据处理和输出. 在完成第 767 行的二级放大时, 由于第二帧图像中第 0 行的长积分还没有结束, 系统处于等待状态, 当第 0 行长积分时间到了后, RowSel 选通第 0 行, s1 有效, 第 0 行像素单元将长积分采集到的图像信息存入 Cn1 中(此时, Cn1 中存放的是第二帧图像第 0 行的长积分后的信息), 接下来, 与第一帧图像处理一样, 进行第二帧第 0 行的短积分, 之后启动第 0 行第三帧的长积分, 同时处理第 0 行第二帧的图像信息. 由于进行第一帧的数据处理前, 并没有真正进行长积分, 故第二帧以后输出的数据才是有效的数据.

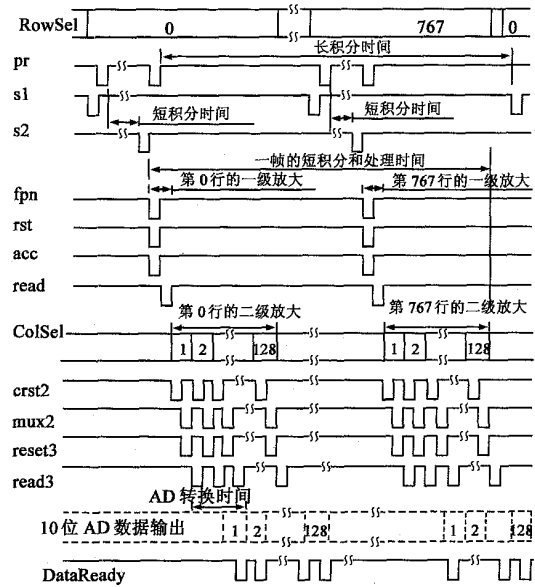


图 3 滚筒式曝光的帧与帧之间的关系(长积分时间大于等于一帧图像信号的短积分和处理时间)

图 3 中给出了/长积分时间大于一帧图像信息的短积分和数据处理时间0时的情况. 当/长积分时间小于一帧图像信息的短积分和数据处理时间0时, 在完成第 0 行的短积分采样后, 马上就进行第 0 行的放大和 AD 转换, 但却不能像/长积分时间大于等于一帧图像信息的短积分和数据处理时间0时那样同时启动第 0 行的长积分, 而要等一定的时间(一帧图像信息的短积分和数据处理时间2长积分时间)才进行.

#### 3.1.2 并行式曝光的控制电路时序

并行式曝光控制电路时序的特点是所有像素单元同时完成长、短积分, 并利用长积分时间逐行进行前一帧图像信息的处理. 对于给定的系统, 一帧图像信息的处理时间是一个确定的值, 而长积分时间则可以根据需要选择.

如图 4 所示, 并行式曝光控制电路时序在实现方法上与滚筒式曝光控制电路时序有所不同. 首先, 我们假设一开始长积分已经完成, s1 有效, 所有像素单元将长积分采集到的图像信息存入各自的 Cn1 中, 然后 pr 有效, 复位所有像素单元, 当 pr 变为无效时, 所有的像素单元都开始进行短积分, 当短积分时间结束的时候, s2 有效, 所有像素单元将短积分采集

到的图像信息存入各自的 Cn2 中. 随后, pr 有效, 复位所有像素单元, 当 pr 变为无效时, 所有的像素单元就开始下一帧图像采集的长积分. 同时 RowSel 选通第 0 行, 在完成第 0 行的一级放大后, ColSel 逐次选通各列进行二级放大及后续的 DPGA 和 A/D 转换和数据输出. 完成一行的二级放大后, RowSel 选通下一行, 直至完成一帧(共计 768 行)的数据处理和输出. 但是, 在完成第一帧图像的数据处理时, 由于第二帧图像的长积分时间还没有结束, 系统处于等待状态, 当长积分时间到了后, s1 有效, 所有像素单元将长积分采集到的图像信息存入各自的 Cn1 中(此时, Cn1 中存放的是第二帧图像的长积分后的信息), 接下来, 与第一帧图像处理一样, 进行第二帧的短积分, 之后启动第三帧的长积分, 同时逐行处理第二帧的图像信息.

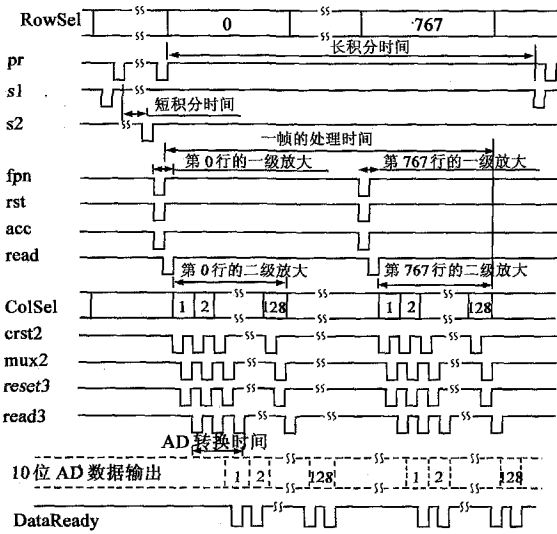


图 4 并行式曝光的时序关系(长积分时间大于等于一帧图像信息的处理时间)

图 4 中给出的是长积分时间大于一帧图像信息的处理时间 0 时的情况. 当长积分时间小于一帧图像信息的处理时间时, 我们需要在短积分采样完成后只进行图像信息的逐行处理, 而要在等待一定的时间(一帧图像信息的处理时间-长积分时间)之后, 才启动下一帧图像的长积分.

#### 4 时序控制电路的功能仿真和在 FPGA 上的验证

当控制电路的时序关系分析确定下来之后, 遵循自顶向下的设计方法, 完成模块的划分. 运用 Verilog 硬件描述语言分别进行各子模块的程序设计, 功能仿真, 综合以及综合后的门级仿真<sup>[4]</sup>. 在各子模块设计无误的前提下, 完成整体模块的调试, 综合和仿真.

在 Verilog 程序设计中, 将 Verilog 源代码的可综合性和设计的可靠性视为优先考虑的问题. 各子模块的源代码全部采用可综合的 Verilog 语句<sup>[5]</sup>编写, 使综合后的设计更加可靠.

##### 4.1 滚筒式曝光时序控制电路的仿真结果

4.1.1 滚筒式曝光时序控制电路的功能仿真 我们设定成像素阵列首行为 0, 末行为 5(这实际上验证了控制电路的窗选功能). 选取不同的长积分时间和短积分时间验证设计整体功能是否正常工作.

从图 5 的功能仿真结果中可以看出, RowSel 的变化与前面理论分析的结果相同, 而短积分也在指定的时间停止, 即 ColSel 等于 150 后 11 5 个主时钟周期, s2. n 有效. 图 5 中, 长积分时间单位相当于一行像素单元图像处理的时间, 短积分时间单位相当于一列像素单元图像处理的时间.

4.1.2 滚筒式曝光控制电路时序在 FPGA 上的验证 本设计采用 Altera 公司生产的 Cyclone 型的 FPGA 芯片 (EP1C12Q240C6) 进行了验证<sup>[6]</sup>. 使用 Quartus 0 软件进行综合, 综合后设计的最高工作频率为 1171.95MHz, 耗费 1003 个 Logic Elements, 使用了 56 个引脚. 为了与前面的仿真结果比较, 进行 FPGA 验证时, 使用与前面相同的图像采集参数. FPGA 软件仿真结果如下:

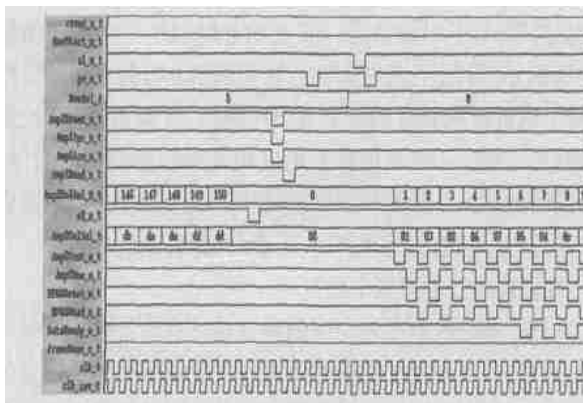


图 5 滚筒式曝光时序控制电路功能仿真结果 (长积分时间为 7, 短积分时间为 150)

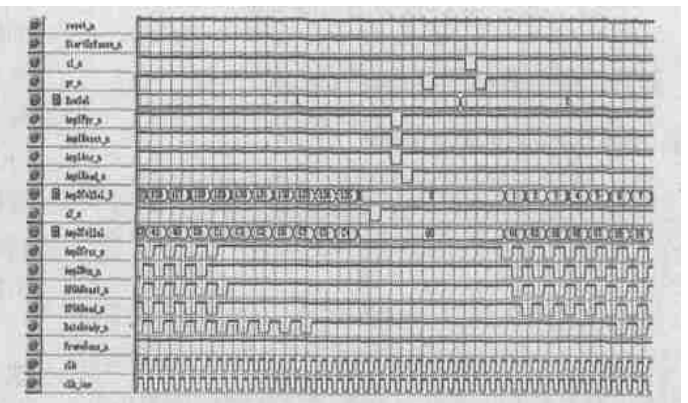


图 6 滚筒式曝光控制电路 FPGA 时序仿真结果 (长积分时间为 7, 短积分时间为 150)

图 6 中, 长积分时间和短积分时间单位定义同上.

##### 4.2 并行式曝光时序控制电路的仿真结果

同样, 我们对并行式曝光时序控制电路也进行了功能仿

真, 综合以及综合后的门级仿真, 仿真结果如图 7 所示.

设计的功能仿真结果、综合后的门级仿真结果与 FPGA 的验证结果都完全一致, 满足了帧频 200 帧/秒的设计要求.

